



KARTA OPISU PRZEDMIOTU - SYLABUS

Nazwa przedmiotu

Programowalne układy cyfrowe [S2EiT1>PUC]

Przedmiot

Kierunek studiów

Elektronika i telekomunikacja

Rok/Semestr

1/2

Studia w zakresie (specjalność)

Sieci komputerowe i technologie internetowe

Profil studiów

ogólnoakademicki

Poziom studiów

drugiego stopnia

Język oferowanego przedmiotu

polski

Forma studiów

stacjonarne

Wymagalność

obligatoryjny

Liczba godzin

Wykład

15

Laboratorium

30

Inne (np. online)

0

Ćwiczenia

0

Projekty/seminaria

0

Liczba punktów ECTS

3,00

Koordynatorzy

dr hab. inż. Olgierd Stankiewicz

olgierd.stankiewicz@put.poznan.pl

Wykładowcy

Wymagania wstępne

Posiada podstawową wiedzę w zakresie algebry Boole'a. Posiada wiedzę w zakresie programowania w językach C/C++. Posiada ogólną wiedzę o cyfrowych układach kombinacyjnych i sekwencyjnych. Posiada ogólną wiedzę o cyfrowej reprezentacji sygnałów i arytmetyce binarnej. Potrafi pozyskiwać informacje z literatury i baz danych oraz innych źródeł w języku polskim lub angielskim. Potrafi się posługiwać językami programowania wysokiego poziomu C/C++. Zna ograniczenia własnej wiedzy i umiejętności, rozumie konieczność dalszego doskazywania się. Potrafi realizować projekty zespołowe.

Cel przedmiotu

Poznanie grupy układów programowalnych (FPGA), ich budowy wewnętrznej i cech funkcjonalnych. Poznanie technik projektowania uwzględniających specyfikę układów programowalnych FPGA. Wprowadzenie do modelowania i testowania projektów dla układów FPGA. Zapoznanie z językami opisu sprzętu. Wprowadzenie do języka Verilog. Poznanie sposobów projektowania i opisu podstawowych struktur układu cyfrowego (automatu, potoki, elementy pamięciowe, FIFO, LIFO). Pokazanie typów magistral komunikacyjnych i sposobów ich projektowania.

Przedmiotowe efekty uczenia się

Wiedza:

Ma podstawową wiedzę o trendach rozwojowych w zakresie układów programowalnych.
Posiada wiedzę wystarczającą do projektowania wyspecjalizowanych układów cyfrowych do zastosowania w układach programowalnych.
Zna zasadę działania podstawowych interfejsów komunikacyjnych.
Zna zasady projektowania podstawowych elementów układów cyfrowych (automaty, potoki).

Umiejętności:

Potrafi pozyskiwać dane z literatury i innych źródeł, potrafi integrować uzyskane informacje, dokonywać ich interpretacji, a także formułować i uzasadniać opinie.
Potrafi opisać elementy układu cyfrowego w postaci modułu języka Verilog.
Potrafi testować i weryfikować poprawność działania układu cyfrowego.
Potrafi wykorzystać poznane techniki projektowe do zaprojektowania układu cyfrowego.
Posiada umiejętność korzystania z nowoczesnych narzędzi wspomagania projektowania i syntezy układów cyfrowych dla platformy układów FPGA.

Kompetencje społeczne:

Jest otwarty na możliwości ciągłego doksztalcania się i rozumie konieczność podnoszenia kompetencji zawodowych.
Ma podstawową wiedzę niezbędną do rozumienia pozatechnicznych uwarunkowań działalności inżynierskiej; zna podstawowe zasady bezpieczeństwa i higieny pracy.
Ma poczucie odpowiedzialności za zaprojektowane systemy elektroniczne i telekomunikacyjne.

Metody weryfikacji efektów uczenia się i kryteria oceny

Efekty uczenia się przedstawione wyżej weryfikowane są w następujący sposób:

Wykład: egzaminy pisemny.

Egzamin pisemny składa się z 6-10 pytań. Oczekiwana jest odpowiedź opisowa, punktowana ułamekowo od 0 do 1 punktu. Próg zaliczeniowy: 50% punktów. Zagadnienia zaliczeniowe, na podstawie których opracowywane są pytania zostaną przesłane studentom drogą mailową z wykorzystaniem systemu uczelnianej poczty elektronicznej.

Laboratorium: raporty (Sprawozdanie) z jednolitych tematycznie bloków ćwiczeń laboratoryjnych.
Projekt laboratoryjny realizowany indywidualnie lub w małych grupach.

Treści programowe

Wykład:

Rozwój układów programowalnych, rys historyczny, układy GAL, PAL, CPLD.

Opis technologii układów programowalnych FPGA, cechy układów, wielkość, technologia wykonania, opis głównych rodzin układów.

Budowa układów programowalnych FPGA - komórka podstawowa (rejestr, LUT), elementy specjalne: pamięci BRAM, bloki DSP, menadżer zegara PLL, DCM, ADCM, gigabitowe porty komunikacyjne GTP, GTX, GTH, SerDes.

Techniki projektowanie układów cyfrowych pod układy FPGA: efektywne wykorzystanie bloków DSP i pamięci BRAM.

Język Verilog - podstawy języka, przykłady systemów wspomagania projektowania, zaawansowane wersje języka.

Projektowanie podstawowych struktur układów cyfrowych - automaty, potoki, elementy pamięciowe, kolejki FIFO, LIFO, przykłady w języku Verilog.

Magistrale komunikacyjne.

Programowanie i testowanie układów programowalnych FPGA.

Laboratorium:

Oprogramowanie do symulacji i syntezy. Podstawowe struktury układów testujących testbench.

Projektowanie różnych modułów: generatory liczb losowych, binarnie kodowany konwerter liczb dziesiętnych, moduły buforowe (np. stos, fifo), jednostki arytmetyczno-logiczne, maszyny stanów/automaty. Projektowanie systemu składającego wykorzystującego automaty, np. demonstracja sygnalizacji świetlnej lub kalkulator równań w notacji infix/postfix.

Metody dydaktyczne

Wykład: prezentacja multimedialna z przykładami prezentowanymi na tablicy.
Laboratoria: praca na komputerach z oprogramowaniem do symulacji i syntezy. Wykorzystanie układów FPGA. Przykłady zilustrowane na ekranie/tablicy.

Literatura

Podstawowa

Łuba T., Rawski M., Tomaszewicz P., Zbierchowski B.: Synteza układów cyfrowych, Wydawnictwa Komunikacji i Łączności, Warszawa 2003.

Hajduk Z. Wprowadzenie do języka Verilog, BTC, Warszawa 2009.

Uzupełniająca

Synteza i optymalizacja układów cyfrowych, Giovanni De Micheli, WNT.

Skahill K., Język VHDL, WNT.

Kamionka-Mikuła H., Małysiak H., Pochopień B., Synteza i analiza układów cyfrowych, WKŁ.

Zbysiński P., Pasierbiński J.: Układy programowalne pierwsze kroki, Wydawnictwo BTC, Warszawa 2004.

Łuba T. Synteza układów logicznych. Oficyna Wyd. PW, Warszawa, 2005.

Bilans nakładu pracy przeciętnego studenta

	Godzin	ECTS
Łączny nakład pracy	90	3,00
Zajęcia wymagające bezpośredniego kontaktu z nauczycielem	55	2,00
Praca własna studenta (studia literaturowe, przygotowanie do zajęć laboratoryjnych/ćwiczeń, przygotowanie do kolokwium/egzaminu, wykonanie projektu)	35	1,00